

METHOD AND DEVICE FOR DRIVING PLASMA DISPLAY PANEL

Publication number: JP11065516

Publication date: 1999-03-09

Inventor: MASUDA TAKEO; ISHIGAKI MASA HARU; SASAKI TAKASHI; SANO YUJI

Applicant: HITACHI LTD

Classification:

- international: H01J11/02; G09G3/28; H01J11/02; G09G3/28; (IPC1-7): G09G3/28; H01J11/02

- European:

Application number: JP19970221530 19970818

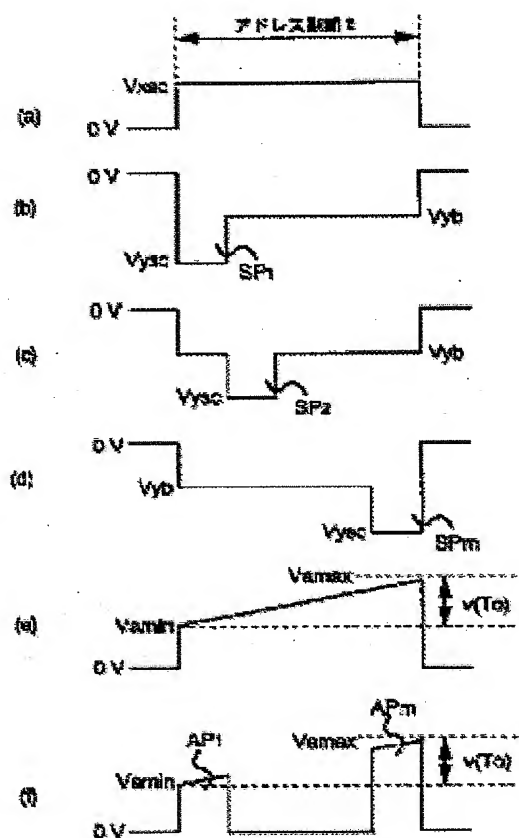
Priority number(s): JP19970221530 19970818

Report a data error here

Abstract of JP11065516

PROBLEM TO BE SOLVED: To surely execute address discharge in an entire whole panel, even when a number of cells in the panel is increased by changing a potential difference between an address electrode and a Y-electrode during the addressing period.

SOLUTION: By boosting a voltage V_a of an addressing pulse AP_m applied on an address electrode with the lapse of time or lowering a voltage V_{ysc} of a scanning pulse SP_m of the Y-electrode with the lapse of time in an addressing period of driving a plasma display panel, the potential difference between the address electrode and the Y-electrode is kept higher than a discharge start voltage and normal addressing discharge is performed, even when an electric charge having polarity opposite to the applied voltage is stored on the address electrode. By further applying a compensating voltage $v(t)$ in accordance with the lapse of time from the starting time of addressing period, the voltage portion canceled by the electric charge stored on the address electrode is compensated, even in a cell whose address discharge is executed in the later time of the addressing period and stable address discharge is executed.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-65516

(43) 公開日 平成11年(1999) 3月9日

(51) Int.Cl.⁶
G 0 9 G 3/28

識別記号

F I
C 0 9 G 3/28

H
E
B

H 0 1 J 11/02

H 0 1 J 11/02

審査請求 未請求 請求項の数16 O L (全 8 頁)

(21) 出願番号 特願平9-221530

(22) 出願日 平成9年(1997) 8月18日

(71) 出願人 000003108

株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地

(72) 発明者 増田 健夫

神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所家電・情報メディア事業
本部内

(72) 発明者 石垣 正治

神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所家電・情報メディア事業
本部内

(74) 代理人 弁理士 沼形 義彰 (外1名)

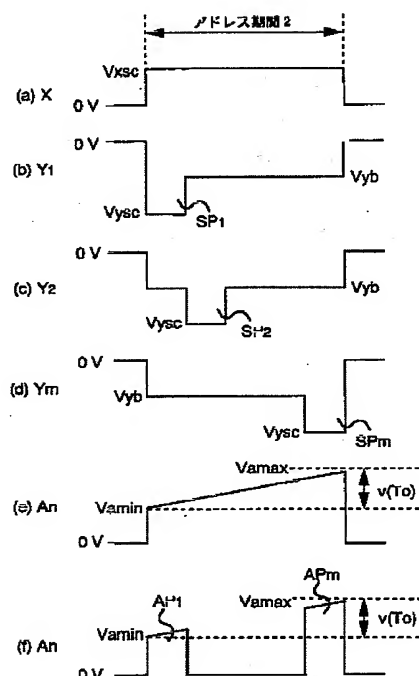
最終頁に続く

(54) 【発明の名称】 プラズマディスプレイパネルの駆動方法および駆動装置

(57) 【要約】

【課題】 PDPの駆動方法において、高精細化及び画素数の増加に伴う、動作マージンの低下を阻止する。

【解決手段】 複数のX電極と、複数のY電極と、複数のアドレス得電極とを有するPDPの駆動方法において、アドレス期間中に印加するアドレスパルスAnの電圧を(e)、(f)に示されるようにアドレス期間内で徐々に上昇させていくことで、アドレス期間の遅い時期にY電極とアドレス電極との間の電圧差の減少を補正し、アドレス期間の遅い時期にアドレス放電が行われるセルにおいても安定したアドレス放電を実現させる。



【請求項12】 前面ガラス基板には維持放電用の第1の電極群と該電極群に平行に配した維持放電用および維持放電セル選択用の第2の電極群を、背面ガラス基板には前記第1の電極群および前記第2の電極群と交差する方向に維持放電セル選択用の第3の電極群を有するプラズマディスプレイパネルの駆動装置において、維持放電を行なわせるセルを選択する放電を行なう際に、第3の電極群に印加されるアドレスパルスを出力するドライバの電源電圧をアドレス期間において変化させる電圧変調回路を具備することを特徴とするプラズマディスプレイパネルの駆動装置。

【請求項13】 前面ガラス基板には維持放電用の第1の電極群と該電極群に平行に配した維持放電用および維持放電セル選択用の第2の電極群を、背面ガラス基板には前記第1の電極群および前記第2の電極群と交差する方向に維持放電セル選択用の第3の電極群を有するプラズマディスプレイパネルの駆動装置において、維持放電を行なわせるセルを選択する放電を行なう際に、第3の電極群に印加されるアドレスパルスを出力するドライバをアドレス期間において電圧変調回路でフローティング駆動させることを特徴とするプラズマディスプレイパネルの駆動装置。

【請求項14】 前面ガラス基板には維持放電用の第1の電極群と該電極群に平行に配した維持放電用および維持放電セル選択用の第2の電極群を、背面ガラス基板には前記第1の電極群および前記第2の電極群と交差する方向に維持放電セル選択用の第3の電極群を有するプラズマディスプレイパネルの駆動装置において、維持放電を行なわせるセルを選択する放電を行なう際に、第2の電極群に印加される電圧を、アドレス期間において変化させる手段を設けたことを特徴とするプラズマディスプレイパネルの駆動装置。

【請求項15】 前面ガラス基板には維持放電用の第1の電極群と該電極群に平行に配した維持放電用および維持放電セル選択用の第2の電極群を、背面ガラス基板には前記第1の電極群および前記第2の電極群と交差する方向に維持放電セル選択用の第3の電極群を有するプラズマディスプレイパネルの駆動装置において、維持放電を行なわせるセルを選択する放電を行なう際に、第2の電極群に印加されるスキャンパルスを出力するドライバの電源電圧をアドレス期間において変化させる電圧変調回路を具備することを特徴とするプラズマディスプレイパネルの駆動装置。

【請求項16】 前面ガラス基板には維持放電用の第1の電極群と該電極群に平行に配した維持放電用および維持放電セル選択用の第2の電極群を、背面ガラス基板には前記第1の電極群および前記第2の電極群と交差する方向に維持放電セル選択用の第3の電極群を有するプラズマディスプレイパネルの駆動装置において、維持放電を行なわせるセルを選択する放電を行なう際

に、第2の電極群に印加されるスキャンパルスを出力するドライバをアドレス期間において電圧変調回路でフローティング駆動させることを特徴とするプラズマディスプレイパネルの駆動装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、メモリ機能を有する気体放電表示素子（セル）の集合によって構成されたマトリクス型表示パネル、特にAC型プラズマ・ディスプレイ・パネル（Plasma Display Panel；PDP）において、高品質な画像の表示を可能とする駆動方法および駆動装置に関するものである。

【0002】

【従来の技術】従来のAC型プラズマディスプレイパネルの一例の構造の一部を図2に分解斜視図で示す。プラズマディスプレイパネルには、背面ガラス基板12と前面ガラス基板4に挟まれた空間内に所定のガスが封入されている。背面ガラス基板12上には、アドレス電極11が複数本並列に配置されており、それらアドレス電極11を完全に覆う形で誘電体層8bが形成されている。この誘電体層8b上には、隔壁9がアドレス電極11と平行に各アドレス電極11の両側に形成されている。紫外線の照射により、それぞれが赤色、緑色、青色に発光する蛍光体10R、10G、10Bが、隔壁9の壁面および背面ガラス基板12上の誘電体層8b上に塗布されている。

【0003】一方、前面ガラス基板4上には、背面ガラス基板12上に形成されているアドレス電極11とは直交する方向に、複数本のX透明電極5aと複数本のY透明電極6aが平行に形成されている。さらにX透明電極5a上にはXバス電極5bが、Y透明電極6a上にはYバス電極6bが形成されている。また、これらX透明電極5aおよびXバス電極5bと、Y透明電極6aおよびYバス電極6bを完全に覆うように誘電体層8aが形成されており、さらに誘電体層8a上には保護膜（MgO等）7が形成されている。

【0004】これらの背面ガラス基板と前面ガラス基板が、図2中の矢印の方向に、背面ガラス基板12上の隔壁9の上に前面ガラス基板4上の保護膜7が接するように合わさっている。バス電極が透明電極上外側にあるような一對のX電極5およびY電極6間にある隔壁間の溝が1セルの放電空間13を形成している。

【0005】アドレス電極11は、維持放電を行うセルに選択的に放電を行わせる電極である。X透明電極5aおよびXバス電極5bからなるX電極5は、Y電極との間で維持放電を行う電極として働き、Y透明電極6aおよびYバス電極6bからなるY電極6は、アドレス電極11との間で維持放電を行うセルに選択的に放電を行わせるとともにX電極5との間で維持放電を行う電極として働く。

【0006】上記電極の一例の配線図を図3に示す。第1の電極であるX電極5は、セルの外部においてその一端が全て共通に接続されるか、あるいは複数のブロックに分けて共通に接続されており、ブロック毎に共通の駆動電圧が印加される。第2の電極であるY電極Y1~Ym (mはY電極数) および第3の電極であるアドレス電極A1~An (nはアドレス電極数) は、一つ一つが独立に配置されており、各々に異なる駆動波形を印加できる構成となっている。

【0007】一般的なAC型PDPの駆動シーケンスは、特開平6-186927号公報に示されているように、1フィールドが2つ以上のサブフィールドに分割されており、それらサブフィールドは、リセット期間1と、アドレス期間2と、維持放電期間3で構成されている。

【0008】図4は、従来のサブフィールド駆動方法の一実施例を示すものである。横軸は時間を、縦軸はY電極Y1~Ymを表わしている。ここでは1フィールド15は、8個のサブフィールドSF1~SF8と、全サブフィールド分の総和時間と垂直同期信号Vsyncの1周期期間との差で生じるブランク14で構成される。

【0009】サブフィールドSF_iの構成を図5に示す。サブフィールドSF_iは、リセット期間1と、アドレス期間2と、維持放電期間3から構成されており、全てのサブフィールドSF_iが同様な構成となっている。リセット期間1は、リセット放電を行う期間であり、アドレス期間でのアドレス放電をしやすいとする励起粒子および荷電粒子を生成する。アドレス期間2は、維持放電を行うセルを選択してY電極6とアドレス電極11間でアドレス放電を行わせる期間であり、その後、X電極5とY電極6との間で維持放電が行われる。

【0010】リセット期間1では、全セルにおいて電荷の均一化もしくは電荷の消去を行なう。アドレス期間2では、維持放電期間3において画像を表示するための維持放電を行うセルを水平ライン毎に順次アドレス放電を行ない、選択していく。維持放電期間3では、X電極およびY電極に同電圧同パルス幅の維持放電パルスが時間的に交互に等間隔で印加される。選択されたセルでは、各サブフィールドSF1~SF8に与えられている維持放電パルス数NSF1~NSF8の回数だけ、維持放電を行なう。例えば、サブフィールド数を8個とした場合、この維持放電回数の比を例として2進符号で形成されるNSF1:~:NSF8=1:2:4:8:~:128とすれば、これらサブフィールドSF_nの組合わせで256階調を表示することが可能である。

【0011】図6は、従来の駆動方法の一実施例のアドレス期間2における駆動波形を示す。横軸は時間を、縦軸は上から順に、(a)はX電極5の印加電圧波形を、(b)はY電極6のY1電極の印加電圧波形を、(c)はY電極6のY2電極の印加電圧波形を、(d)はY電

極6のY_m電極の印加電圧波形を示している。(e)および(f)はアドレス電極11に印加する電圧波形を表わしている。なお、(e)は、垂直方向の全セルが選択される場合を、(f)は、垂直方向の最初のセルと最後のセルが選択される場合を示している。

【0012】アドレス期間中、図6(a)に示すように、X電極5には電圧V_{xsc}、例えば60[V]が印加されている。Y電極6には、図6(b)(c)(d)に示すように、電圧V_{yb}、例えば-70[V]が印加されているが、維持放電を行なうセルを選択するためのアドレス放電を行なうラインには水平ライン毎に、例えば1ライン目には図6(b)に、2ライン目には図6(c)に、最終ラインには図6(d)に示すように、電圧V_{ysc}、例えば-150[V]のスキャンパルスSP_mが順次印加される。

【0013】このとき、図6(e)に示すように、アドレス電極11に電圧V_a、例えば60[V]のアドレスパルスAP_mがアドレス期間2中、全ラインのスキャンパルスSP_mに対応して印加されると、アドレス電極11上の垂直方向全セルにおいて、アドレス電極11とY電極6間で放電開始電圧以上の電位差、例えば210[V]が生じ、これら電極間で順次放電が行われる。X電極5とY電極6間の電位差は、放電開始電圧よりやや低い電位差、例えば210[V]であるので、この直後、ほぼ同時にアドレス電極11とY電極6間での放電が、X電極5とY電極6間に移行する。そして、X電極5とY電極6間で放電を行ない、X電極5およびY電極6上のMgO膜の表面にそれぞれ維持放電に必要な壁電荷を順次形成する。以下、前記これら2つの放電を合わせてアドレス放電とする。

【0014】また、他の例としては、図6(f)のようなアドレスパルスAP_mが印加された場合、最初のラインと最後のラインに相当するアドレス電極11上のセルでのみ、アドレス放電が行われる。

【0015】

【発明が解決しようとする課題】従来のアドレス期間2における各電極の印加電圧では、同一SFにてパネル上、垂直方向にアドレス放電が水平ライン毎に順次多く行われると、アドレス放電によって発生した電荷がアドレス電極方向(溝方向)に拡散し、アドレス期間においてアドレス放電が行われる時期が遅いセルでは、アドレス電極11の印加電圧により、アドレス電極An上に印加電圧を打ち消す極性の電荷が蓄積されていく。このため、パネルの高精細化に伴い、セル数が増加すると、アドレス期間が長くなったり、アドレス放電回数が増え、アドレス放電が行われる時期が遅いセルほど蓄積電荷量が増加し、アドレス電極11とY電極6間の電位差が小さくなり、アドレス放電が行われにくくなる。また、アドレス期間においてアドレス放電が行われる時期が遅いセルでは、リセット期間で生成された励起粒子および

荷電粒子は時間経過とともに減衰してしまうため、アドレス放電が行われにくくなる。その結果、高精細パネルでは、アドレス放電が行われず維持放電が行われなかった非点灯セルが生じ易くなり、パネル全体での駆動時においてアドレス電圧動作マージンが狭くなるといった問題が発生した。

【0016】本発明の目的は、高精細ディスプレイにおいてもパネル全体でアドレス放電を確実にこなうことによって、非点灯セルを無くし、アドレス動作マージンを拡大し、パネル全面で均一性の良い、高品質な画像を提供し得るプラズマディスプレイパネルの駆動方法および駆動装置を提供することにある。

【0017】

【課題を解決するための手段】上記目的を達成するため、本発明は、プラズマディスプレイパネルの駆動方法におけるアドレス期間において、アドレス電極11に印加するアドレスパルス AP_m の電圧 V_a を時間経過とともに上昇させるか、もしくはY電極6のスキャンパルス SP_m の電圧 V_{ysc} を時間経過とともに低下させることによって、アドレス電極11上に印加電圧とは逆極性の電荷が蓄積されてもアドレス電極11とY電極6間の電位差を放電開始電圧以上に維持し、正常なアドレス放電を行なうものである。

【0018】本発明は、前面ガラス基板には維持放電用の第1の電極群と該電極群に平行に配した維持放電用および維持放電セル選択用の第2の電極群を、背面ガラス基板には前記第1の電極群および前記第2の電極群と交差する方向に維持放電セル選択用の第3の電極群を有するプラズマディスプレイパネルの駆動方法において、維持放電を行なわせるセルを選択する放電を行なう際に、第3の電極群と第2の電極群の電位差が、アドレス期間において変化するようにした。さらに、維持放電を行なわせるセルを選択する放電を行なう際に、第3の電極群と第2の電極群の電位差が、アドレス期間において増大していくようにし、そのために、第3の電極群に印加される電圧が、アドレス期間において変化するようにするか、第3の電極群に印加される電圧値が、アドレス期間において二つ以上の値をとるようにし、もしくは第3の電極群に印加される電圧が、アドレス期間において徐々に上昇するようにした。

【0019】また、本発明は、上記プラズマディスプレイパネルの駆動方法において、維持放電を行なわせるセルを選択する放電を行なう際に、第2の電極群に印加される電圧がアドレス期間において変化するようにするか、第2の電極群に印加される電圧値がアドレス期間において二つ以上の値をとるようにするか、または、第2の電極群に印加される電圧がアドレス期間において徐々に低下するようにした。

【0020】本発明は、プラズマディスプレイパネルの駆動方法において、維持放電を行なわせるセルを選択す

る放電を行なう両電極間の電位差を、セル毎に異ならせるようにするか、維持放電を行なわせるセルを選択する放電を行なう両電極間の電位差が、アドレス期間において変化するようにした。

【0021】さらに、本発明は、前面ガラス基板には維持放電用の第1の電極群と該電極群に平行に配した維持放電用および維持放電セル選択用の第2の電極群を、背面ガラス基板には前記第1の電極群および前記第2の電極群と交差する方向に維持放電セル選択用の第3の電極群を有するプラズマディスプレイパネルの駆動装置において、維持放電を行なわせるセルを選択する放電を行なう際に、第3の電極群に印加される電圧を、アドレス期間において変化させる手段を設けるか、維持放電を行なわせるセルを選択する放電を行なう際に、第3の電極群に印加されるアドレスパルスを出力するドライバの電源電圧をアドレス期間において変化させる電圧変調回路を具備させた。また、維持放電を行なわせるセルを選択する放電を行なう際に、第3の電極群に印加されるアドレスパルスを出力するドライバをアドレス期間において電圧変調回路でフローティング駆動させるようにした。

【0022】また、本発明は、前面ガラス基板には維持放電用の第1の電極群と該電極群に平行に配した維持放電用および維持放電セル選択用の第2の電極群を、背面ガラス基板には前記第1の電極群および前記第2の電極群と交差する方向に維持放電セル選択用の第3の電極群を有するプラズマディスプレイパネルの駆動装置において、維持放電を行なわせるセルを選択する放電を行なう際に、第2の電極群に印加される電圧を、アドレス期間において変化させる手段を設けるか、維持放電を行なわせるセルを選択する放電を行なう際に、第2の電極群に印加されるスキャンパルスを出力するドライバの電源電圧をアドレス期間において変化させる電圧変調回路を具備するか、維持放電を行なわせるセルを選択する放電を行なう際に、第2の電極群に印加されるスキャンパルスを出力するドライバをアドレス期間において電圧変調回路でフローティング駆動させるようにした。

【0023】

【発明の実施の形態】本発明の実施の形態について順に説明する。図1に本発明の第1の実施の形態を示す。図1は、本発明を実現する駆動方法のアドレス期間部分の第1の実施形態を示したものである。横軸は時間を示し、縦軸は上から順に、(a)はX電極5の印加電圧波形を、(b)はY電極6のY1電極の印加電圧波形を、(c)はY電極6のY2電極の印加電圧波形を、(d)はY電極6のY_m電極の印加電圧波形を示している。

(e)および(f)はアドレス電極11に印加する電圧波形を表わしている。なお、例として(e)は垂直方向の全セルが選択される場合を、(f)は垂直方向の最初のセルと最後のセルが選択される場合を示す。

【0024】この実施の形態では、図1(e)に示すよ

うに、アドレス期間中にアドレス電極11に印加する電圧を、初期値 $V_{a\ min}$ から最終値 $V_{a\ max}$ まで直線的に上昇させている。この電圧の時間的変化量を補正電圧として $v(t)$ とする。アドレス期間開始時刻を $t=0$ 、終了時刻を $t=T_0$ とすると、最終値 $V_{a\ max}$ は、 $V_{a\ max}=V_{a\ min}+v(T_0)$ となる。

【0025】上記のようにアドレス期間開始時刻からの経過時間に応じて補正電圧 $v(t)$ をさらに印加することによって、アドレス放電がアドレス期間の遅い時期に行われるセルでも、アドレス電極11上に蓄積した電荷で打ち消された電圧分を補正することができ、安定したアドレス放電を行なうことができる。図1(f)に示すように、垂直方向のすべてのセルが選択されず、アドレスパルス AP_m が印加されない場合でも、図1(e)の電圧変化は維持される。

【0026】図7に第2の実施の形態を示す。この実施の形態では、アドレス期間中のアドレス電極11に、初期値 $V_{a\ min}$ から最終値 $V_{a\ max}$ まで指数的に電圧が上昇する補正電圧 $v(t)$ を加算した電圧を印加するようにした。これによっても、同様な効果を得ることができる。

【0027】図8に本発明の第3の実施の形態を示す。図8は、アドレス期間中のアドレス電極11の印加電圧を、初期値 $V_{a\ min}$ から最終値 $V_{a\ max}$ まで階段状に k 段階($k \geq 2$, k は整数)で電圧が上昇する補正電圧 $v(t)$ を加算して印加する例である。これによっても、同様な効果を得られる。

【0028】また、本発明の第4の実施の形態として、図9に示すように、同一アドレス期間中に、水平ラインを1ラインおきに奇数ラインのみアドレス放電を行なっていく、次に偶数ラインのみをアドレス放電を行なっていく駆動方式の場合、第3の実施の形態において $k=2$ に相当する方法がある。

【0029】また前記第1~4の実施の形態では、時間的に隣接するアドレスパルス AP_m に時間的隙間が無い場合を例としているが、これに限定されることなく、時間的隙間がある場合でも、その効果は有効である。

【0030】さらに、前記第1~4の実施の形態を実現するには、図10に示すようにアドレスドライバ20の電源に補正電圧 $v(t)$ を出力する電圧変調回路21を接続すればよい。

【0031】また、図11に示すように、定電圧電源回路22とアドレスドライバ20と電圧変調回路21を直列に接続することによって、アドレスドライバ20を該電圧変調回路21によってフローティングし、電源には $V_{a\ min}$ を出力する定電圧電源回路20を接続することで、前記第1~4の実施の形態と同様な効果を得ることができる。このとき、例として、第1実施の形態の図1(e)および(f)に相当するアドレス電極の駆動波形

は、それぞれ図12(a)(b)に示すようになる。

【0032】図13に、本発明の第5の実施の形態を示す。ここでは、アドレス期間においてY電極6のスキャンパルスの印加電圧 V_{ysc} を補正電圧 $-v(t)$ で徐々に低下させていき、結果的にアドレス放電を生じさせるアドレス電極11とY電極6間の電位差を増大させている。この実施の形態においても、同様な効果を得られる。

【0033】また、第5の実施の形態を実現する手段を、図14に示す。この実施の形態では、定電圧電源回路22とスキャンドライバ23と電圧変調回路を21直列に接続することによって、スキャンドライバ23を該電圧変調回路21によってフローティングし、電源には V_{sc} を出力する定電圧電源回路20を接続して、図13に示す出力を得ている。

【0034】

【発明の効果】以上説明したように、本発明によれば、アドレス期間中にアドレス電極11とY電極6間の電位差を徐々に増大させることにより、アドレス期間の比較的遅い時期にアドレス放電を行なうセルにおいても、アドレス放電を確実に十分な強度で行なうことができ、高精細化によるセルの微細化およびパネル内の総セル数が増加しても、パネル全体で確実な動作を実現することができる。

【図面の簡単な説明】

【図1】本発明を実現する駆動方法のアドレス期間部分の第1実施の形態を示す電圧波形図。

【図2】AC型プラズマディスプレイパネルの構造の一部を示す分解斜視図。

【図3】AC型プラズマディスプレイパネルにおける各電極の位置関係を表わす簡易構造図。

【図4】従来の駆動方法におけるフィールド内の構成を表わす駆動シーケンス図。

【図5】従来の駆動方法におけるある1サブフィールド内の駆動波形の構成を表わす駆動シーケンス図。

【図6】従来の駆動方法における駆動波形のアドレス期間部分を示す図。

【図7】本発明の第2の実施の形態を示すアドレス電極印加電圧波形のアドレス期間部分の電圧波形図。

【図8】本発明の第3の実施の形態を示すアドレス電極印加電圧波形のアドレス期間部分の電圧波形図。

【図9】本発明の第4の実施の形態を示すアドレス電極印加電圧波形のアドレス期間部分の電圧波形図。

【図10】本発明の第1~4の実施の形態を実現する駆動装置の実施の形態を示すブロック図。

【図11】本発明の第1~4の実施の形態を実現する駆動装置の一実施の形態を示すブロック図。

【図12】本発明の第1の実施の形態を示すアドレス電極印加電圧波形のアドレス期間部分の電圧波形図。

【図13】本発明の第5の実施の形態を示すアドレス電

極印加電圧波形のアドレス期間部分の電圧波形図。

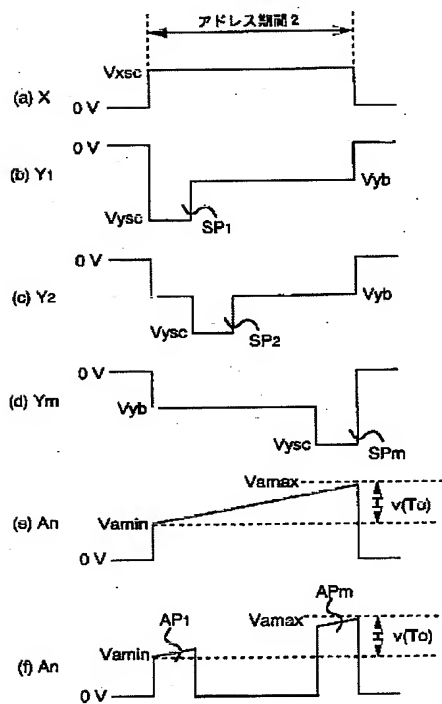
【図14】本発明の第5の実施の形態を実現する駆動装置の一実施の形態を示すブロック図。

【符号の説明】

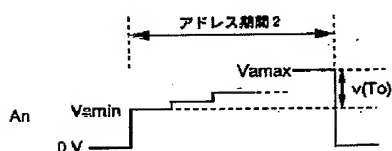
- 1 リセット期間
- 2 アドレス期間
- 3 維持放電期間
- 4 前面ガラス基板
- 5 X電極
- 5a X透明電極
- 5b Xバス電極
- 6 Y電極
- 6a Y透明電極
- 6b Yバス電極
- 7 保護膜
- 8a 前面板側誘電体層

- 8b 背面板側誘電体層
- 9 隔壁
- 10R、10G、10B 蛍光体
- 11 アドレス電極
- 12 背面ガラス基板
- 13 放電空間
- 14 ブランク
- 15 フィールド
- 20 アドレスドライバ
- 21 電圧変調回路
- 22 定電圧電源回路
- 23 スキャンドライバ
- SFn サブフィールド
- SPm スキャンパルス
- APm アドレスパルス

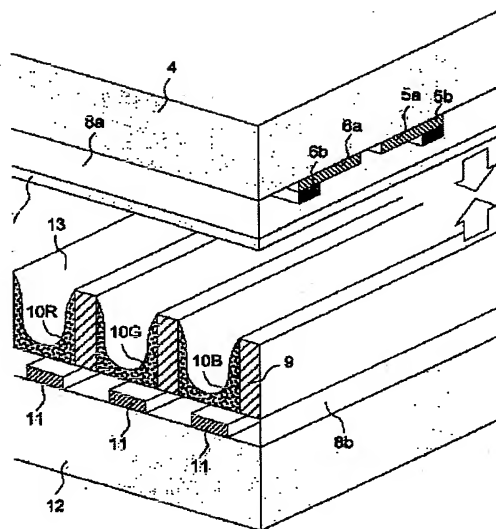
【図1】



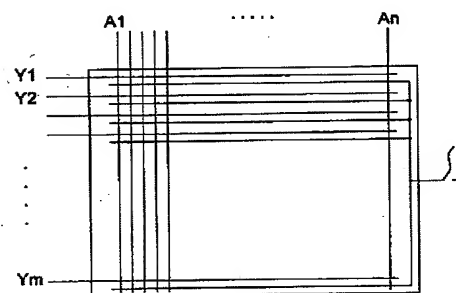
【図8】



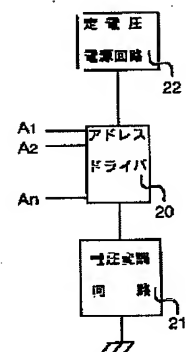
【図2】



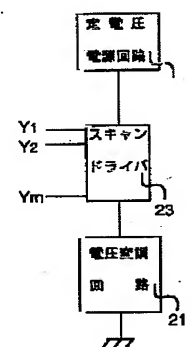
【図3】



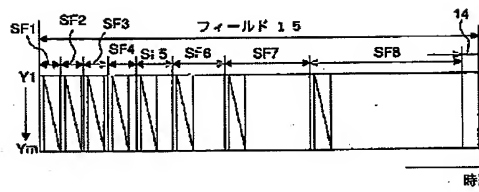
【図11】



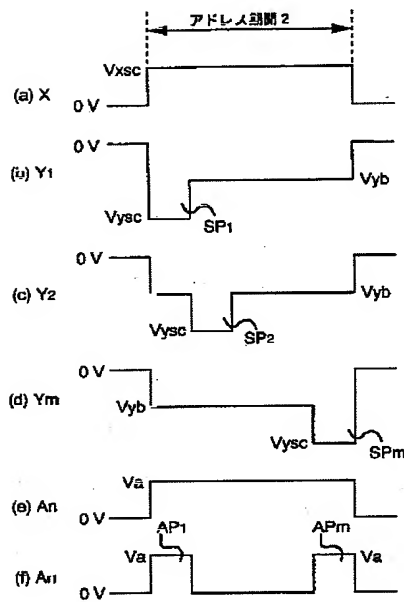
【図14】



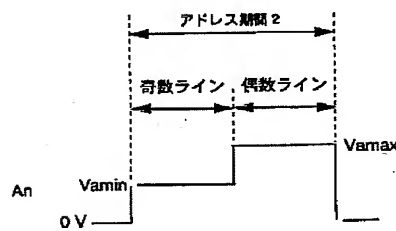
【図4】



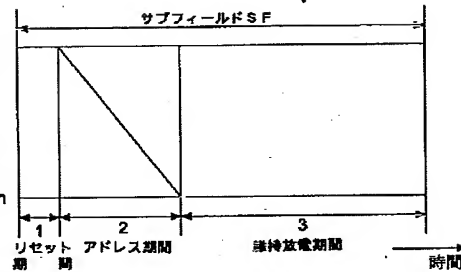
【図6】



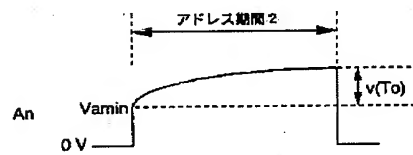
【図9】



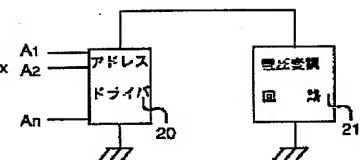
【図5】



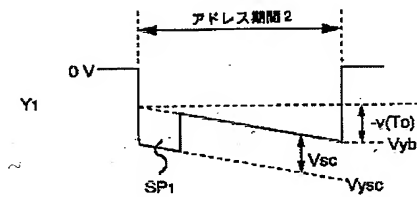
【図7】



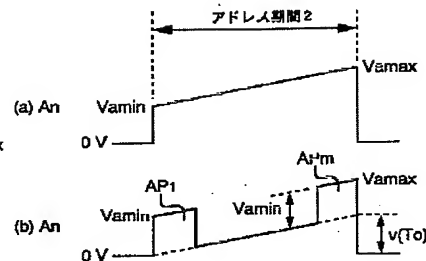
【図10】



【図13】



【図12】



フロントページの続き

(72)発明者 佐々木 孝

神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所家電・情報メディア事業
本部内

(72)発明者 佐野 勇司

神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所家電・情報メディア事業
本部内